

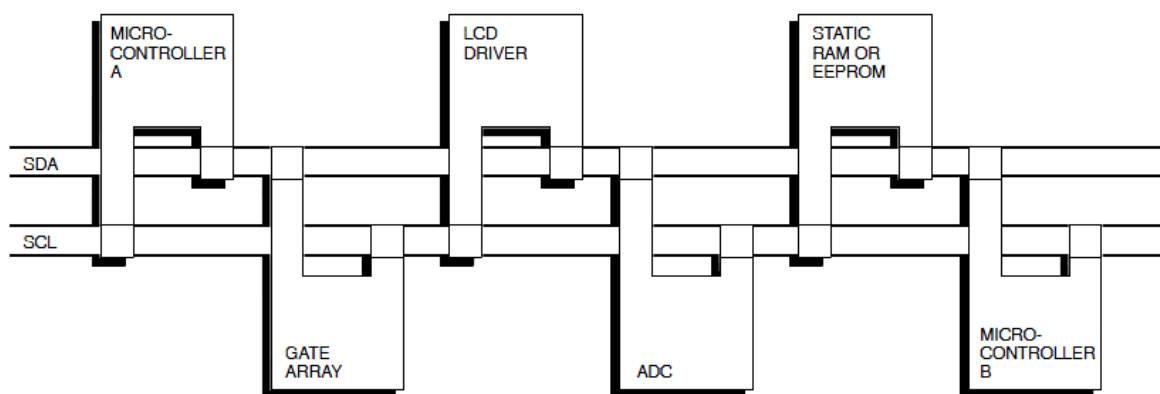
Ce document est une introduction à la norme orsI²C, pour plus d'informations consultez :
 The I²C-bus and how to use it (pdf) de Philips Semiconductors
http://www.i2c-bus.org/fileadmin/ftp/i2c_bus_specification_1995.pdf

Le bus I²C (IIC : Inter-IC-Communication) permet la connexions de circuit intégrés à proximité (1m). Les caractéristiques électriques et le protocole de communication ont été déposés par Philips, l'I²C est devenu un standard industriel utilisé par de très nombreux constructeurs.

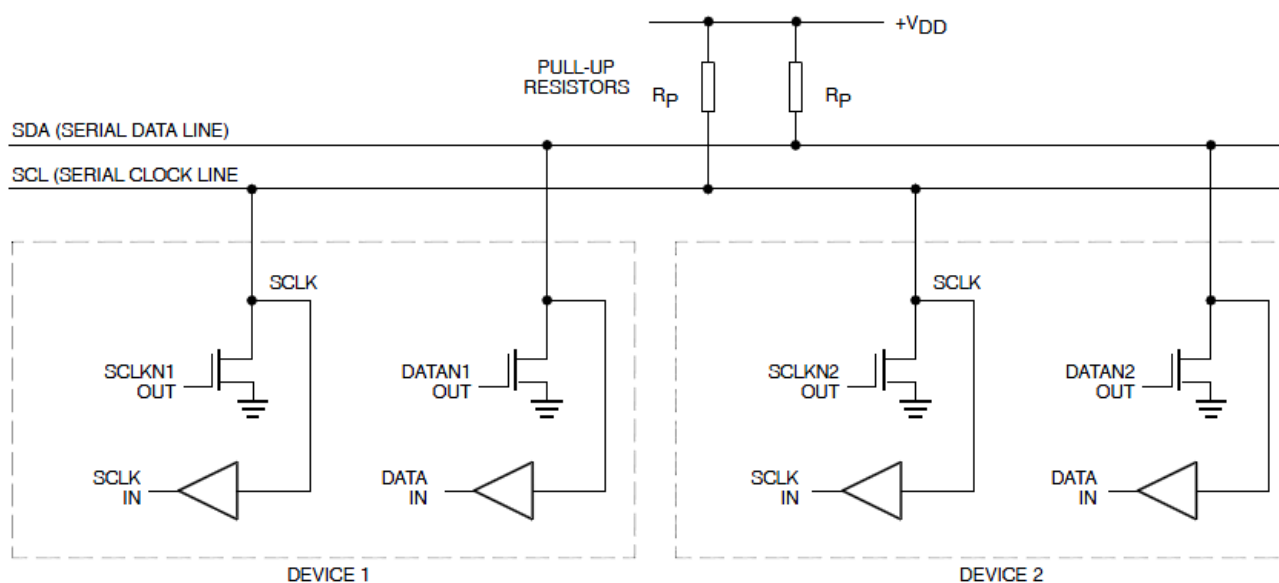
C'est un bus de communication séries synchrones, bidirectionnel avec un protocole de reconnaissance. La fréquence de transfert est comprise entre 100KHz et 400KHz. Le bus est piloté par un maître (MASTER) qui génère l'horloge de communication. (il est possible de travailler en mode multi-maitre). Tous les autres circuits sont esclaves (SALVES), ils reçoivent tous la même horloge issue du maître.

Le bus est constitué de deux fils (plus une référence de tension) :
 SCL : serial clock qui est l'horloge de cadencement des communications (unidirectionnel)
 SDA : serial data permet les échanges bidirectionnels entre le maître et un esclave.

Exemple de connexions I2C :



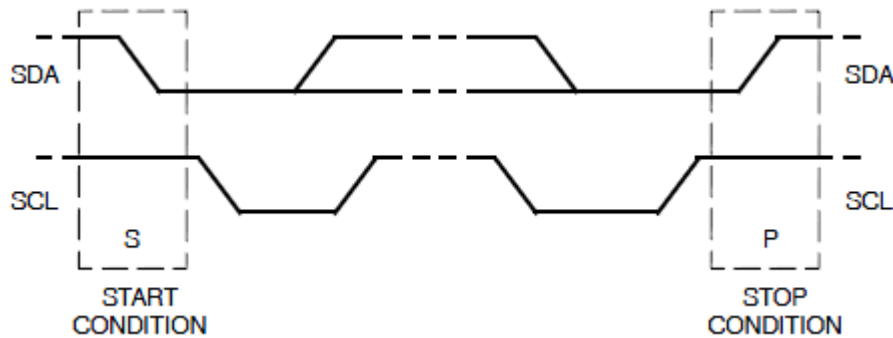
Sur le bus I2C le niveau logique dominant est le 0, le niveau récessif est le 1. En absence de commande le niveau logique (repos) est donc 1. Les interfaces sont constitués de transistors MOS drains ouverts, ce qui élimine tout risque de court-circuit électrique (mais pas de court-circuit logique). Le bus doit être équipé de deux résistances de pull-up (4K à 10K)



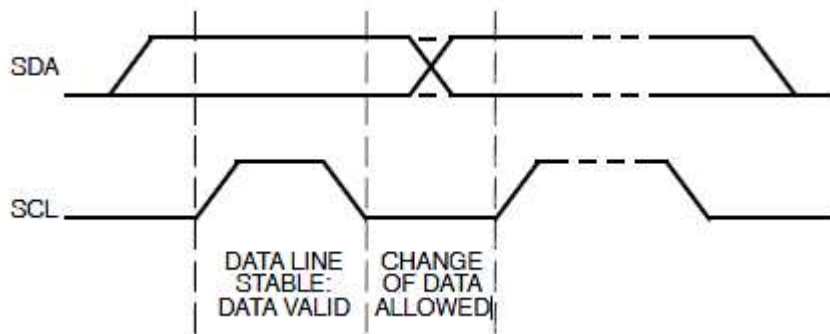
Comme entrée et sortie se font sur un même fil, un circuit peut vérifier l'état récessif de la ligne. Il place un 1 logique (transistor bloqué) et vérifie que la ligne est bien à 1, dans le cas contraire, c'est qu'un autre circuit est en train de placer un 0. L'émetteur peut donc vérifier l'émission effective de chaque bit.

Protocole I2C :

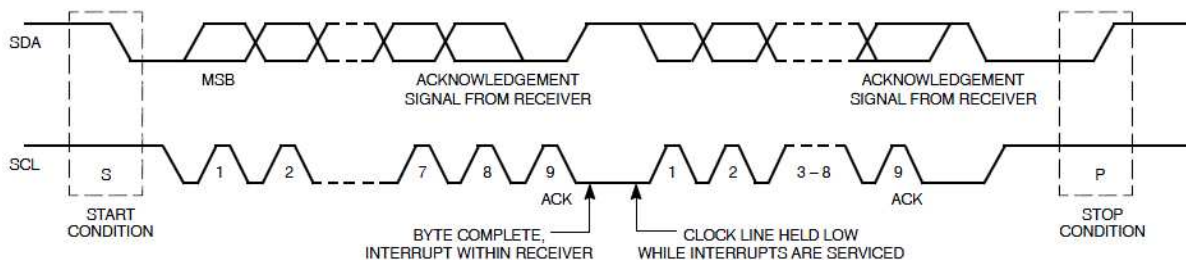
Les échanges commencent toujours par une condition START sur SCL/SDA et finissent par une condition STOP



Les bits sont transférés sur le front descendant de SCL



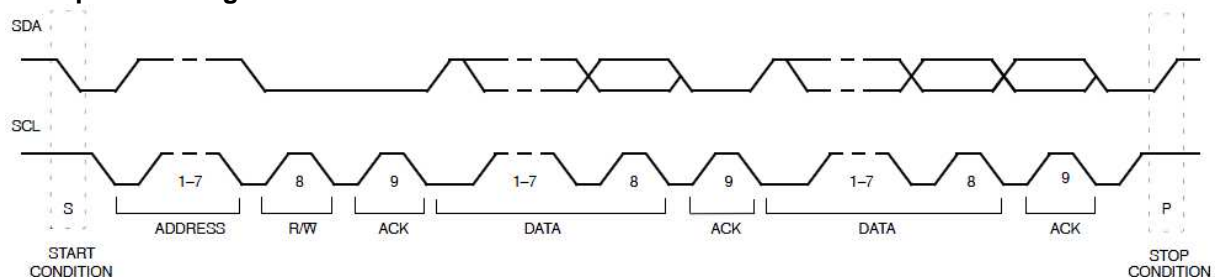
Les données sont échangées par octets, chaque octet est suivi d'un bit d'acquittement à 0 généré par l'esclave et lu par le maître.

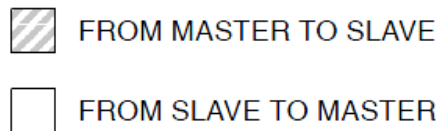
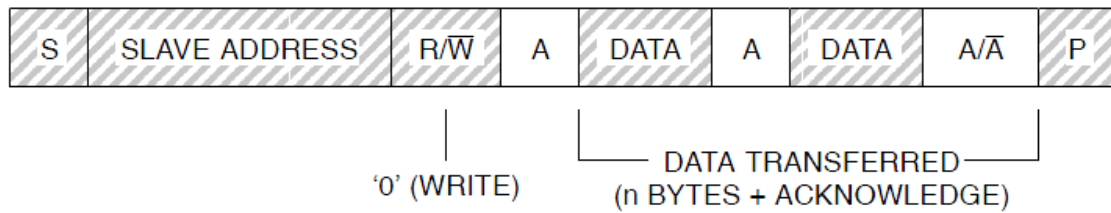


Le bus I2C pouvant accueillir plusieurs esclaves ceux-ci sont identifiés par une adresse sur 7 bits, le 8^{ème} bits de l'octet indique s'il s'agit d'une opération d'écriture dans l'esclave (0) ou de lecture (1).

Par exemple pour un circuit dont l'adresse est 0b1010000. L'adresse I2C en écriture sera 0b10100000 (0xA0) et 0b10100001 (0xA1) en lecture.

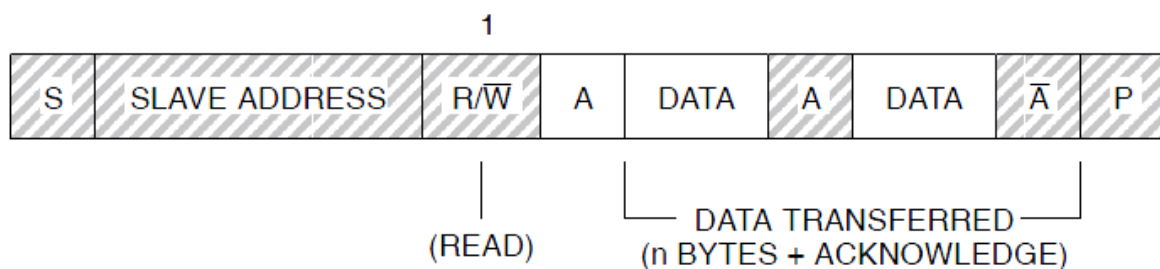
Exemple d'échanges



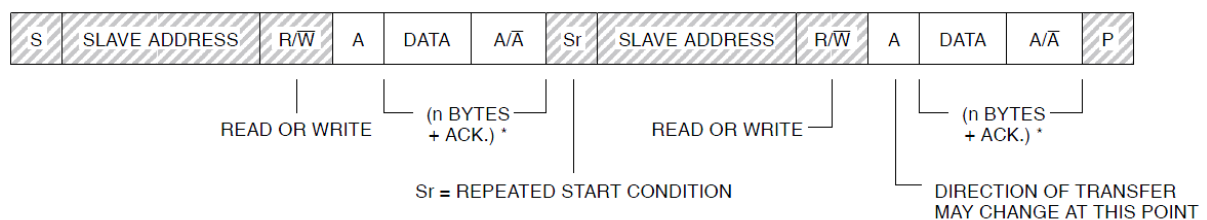


A = ACKNOWLEDGE (SDA LOW)
 \bar{A} = NOT ACKNOWLEDGE (SDA HIGH)
 S = START CONDITION
 P = STOP CONDITION

Le maitre transmet l'adresse d'écriture d'un esclave suivi de deux octets de données.

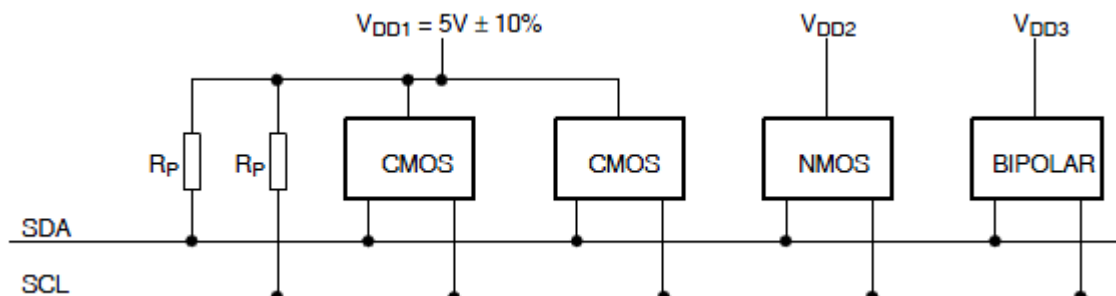


Le maitre demande une lecture, l'esclave transmet deux octets, c'est maintenant le maitre qui place les acquittements.



Dans un même échange on peut trouver des écritures puis des lectures d'un esclave :
 Par exemple, la lecture d'un mémoire nécessite l'écriture de l'adresse interne à lire.

Grace au principe du pull-up, le bus I2C accepte des circuits alimenté avec des tensions différentes
 (sous certaines conditions, voir datasheets)

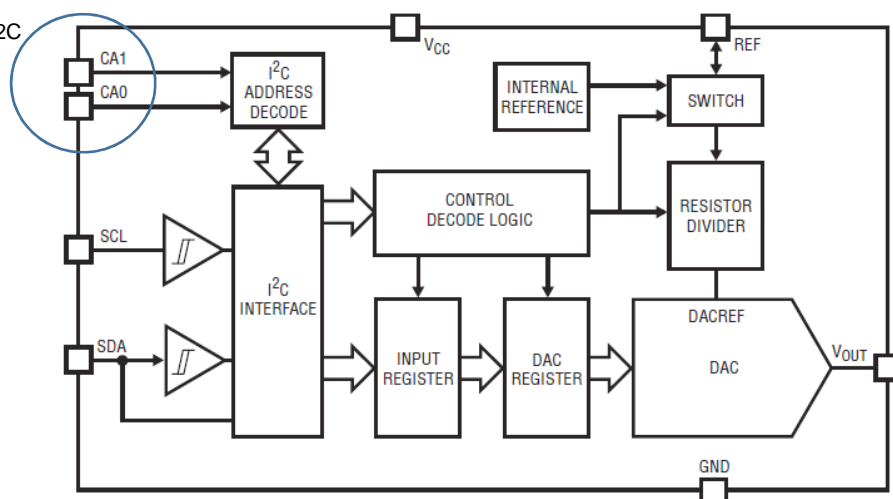


Exemple de périphérique I²C : DAC LTC2631

LTC2631

Single 12-/10-/8-Bit I²C
V_{OUT} DACs with
10ppm/°C Reference

CA1-CA0
définissent
l'adresse I²C
du DAC



PIN FUNCTIONS

CA0 (Pin 1): Chip Address Bit 0. Tie this pin to V_{CC}, GND or leave it floating to select an I²C slave address for the part (see Tables 1 and 2).

SCL (Pin 2): Serial Clock Input Pin. Data is shifted into the SDA pin at the rising edges of the clock. This high impedance pin requires a pull-up resistor or current source to V_{CC}.

SDA (Pin 3): Serial Data Bidirectional Pin. Data is shifted into the SDA pin and acknowledged by the SDA pin. This pin is high impedance while data is shifted in. Open-drain N-channel output during acknowledgment. SDA requires a pull-up resistor or current source to V_{CC}.

GND (Pin 4): Ground.

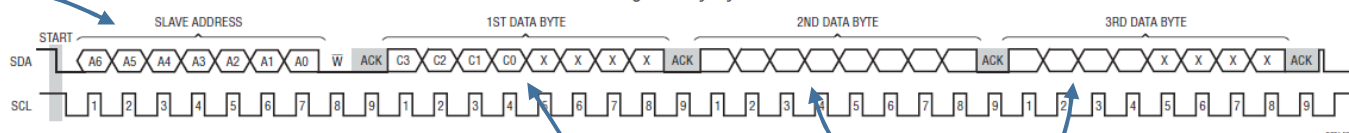
V_{CC} (Pin 5): Supply Voltage Input. 2.7V ≤ V_{CC} ≤ 5.5V (LTC2631-L) or 4.5V ≤ V_{CC} ≤ 5.5V (LTC2631-H). Bypass to GND with a 0.1μF capacitor.

REF (Pin 6): Reference Voltage Input or Output. When External Reference mode is selected, REF is an input (0V ≤ V_{REF} ≤ V_{CC}) where the voltage supplied sets the full-scale voltage. When Internal Reference is selected, the 10ppm/°C 1.25V (LTC2631-L) or 2.048V (LTC2631-H) internal reference is available at the pin. This output may be bypassed to GND with up to 10μF (0.33μF is recommended), and must be buffered when driving external DC load current.

V_{OUT} (Pin 7): DAC Analog Voltage Output.

CA1 (Pin 8, LTC2631-Z): Chip Address Bit 1. Tie this pin to V_{CC}, GND or leave it floating to select an I²C slave address for the part (see Table 1).

REF_SEL (Pin 8, LTC2631-M): Selects default Reference at power up. Tie to V_{CC} to select the Internal Reference, or GND to select an External Reference. After power-up, the logic state at this pin is ignored and the reference may be changed only by software command.



Chip Address

The state of pins CA0 and CA1 (LTC2631-HZ/LTC2631-LZ) determines the slave address of the part. These pins can each be set to any one of three states: V_{CC}, GND or float. This results in nine (LTC2631-HZ/LTC2631-LZ) or three (LTC2631-HM/LTC2631-LM) selectable addresses for the part. The slave address assignments are shown in Tables 1 and 2.

Table 1. Slave Address Map (LTC2631-Z)

| CA1 | CA0 | A6 | A5 | A4 | A3 | A2 | A1 | A0 |
|-----------------|-----------------|----|----|----|----|----|----|----|
| GND | GND | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| GND | FLOAT | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| GND | V _{CC} | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| FLOAT | GND | 0 | 0 | 1 | 0 | 0 | 1 | 1 |
| FLOAT | FLOAT | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| FLOAT | V _{CC} | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| V _{CC} | GND | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| V _{CC} | FLOAT | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| V _{CC} | V _{CC} | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| GLOBAL ADDRESS | | 1 | 1 | 1 | 0 | 0 | 1 | 1 |

Nombre correspondant à la tension à produire sur 12bits
(Les 4 derniers bits ne sont pas utilisés)

| COMMAND* | | | | |
|----------|----|----|----|---|
| C3 | C2 | C1 | C0 | |
| 0 | 0 | 0 | 0 | Write to Input Register |
| 0 | 0 | 0 | 1 | Update (Power Up) DAC Register |
| 0 | 0 | 1 | 1 | Write to and Update (Power Up) DAC Register |
| 0 | 1 | 0 | 0 | Power Down |
| 0 | 1 | 1 | 0 | Select Internal Reference |
| 0 | 1 | 1 | 1 | Select External Reference |